This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2001-358297

(43) Date of publication of application: 26.12.2001

(51)Int.CI.

H01L 27/04 H01L 21/822

(21)Application number: 2000-178770

(71)Applicant : NEC CORP

(22)Date of filing:

14.06.2000

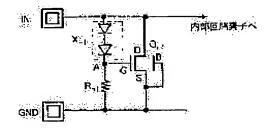
(72)Inventor: ANDO TAKESHI

(54) STATIC ELECTRICITY PROTECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a static electricity protection circuit for protecting a circuit element with a low insulation breakdown voltage by reducing a trigger voltage for causing a MOSFET to generate a snap-back operation.

SOLUTION: This static electricity protection circuit is provided with an nMOSFET for protection where a drain is connected to input/output terminals and a source and a substrate are connected to each grounding potential, a row of diodes consisting of at least one diode that is connected in series in a forward direction between the gate of the nMOSFET for protection and the input/output terminals, and a resistor that is connected between the gate of the nMOSFET for protection and the grounding potential.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

يز

特開2001-358297 (11)特許出國公開番号

推印配丹

(51) Int.C.

21/822 H011 27/04

(P2001-358297A)

平成13年12月26日(2001, 12.26)

(43)公開日

子了一十. 5F038 P1 H01L 27/04 (全20月) 権強請求 非議求 請求項の数30 OL

東京都港区芝五丁目7番1号 日本電気株式会社 (71)出版人 000004237 安藤 岳 (72)発明者 特取2000-178770(P2000-178770) 平成12年6月14日(2000.6.14) (21) 出版番号 (22) 出版日

100088328 式会社内 (74) 代理人

東京都港区芝五丁目7番1号 日本電気株

F ターム(参考) 57038 BH02 BH04 BH05 BH07 BH13 (外2名) 弁理士 金田 観之

(54) 【発明の名称】 静電保護回路

トリガー和圧を下げて低い絶縁破壊耐圧の回路素子を保 【課題】 MOSFETがスナップパック動作を起こす 妻することが可能な静電保護回路を提供する。

出力端子間に順方向に直列接続された少なくとも1つの ダイオードから成るダイオード列と、保護用nMOSF [解決手段] ドレインが人/出力端子と接続され、ソ 一ス及び基位がそれぞれ接地電位と接続された保護用n ETのゲートと接地電位間に接続された抵抗器とを有す MOSFETと、保護用nMOSFETのゲートと入 る情吹とする。

(E)

装置の内部回路繋子の破機を防止するための静穏保護回 「請求項1」 静電気による過電圧から半導体集積回路 [特許請求の範囲]

ドレインが入/出力端子と接続され、ソース及び基板が それぞれ接地電位と接続された保護用nMOSFET **前配保護用nMOSFETのゲートと前記入/出力端子** 間に順方向に直列後続された少なくとも1つのダイオー

前記保護用 n M O S Γ E T のゲートと接地電位間に接続 された抵抗器と、を有する静電保護回路。 ドから成るダイオード列と、

【請求項2】 前記入/出力端子に印加される電圧が接 オフ状態を維持し、前記入/出力端子に印加される電圧 地電位から電源電圧のとき前記保護用 n MOSFETが が電隙電圧を越えたとき前記保護用nMOSFETがオ **前記ダイオード列を構成するダイオード数、及び前配抵** ソして寄生パイポーラトランジスタが凝迫するように、 抗器の値が散定された請求項1配線の静池保護回路。 【静水項3】
静電気による過低圧から半導体集積回路 装置の内部回路券子の破壊を防止するための静電保護回

ドレインが入了山力端子と接続され、ソース及びゲート がそれぞれ接地電位と接続された保護用nMOSFET

に順方向に直列接続された少なくとも1つのダイオード 前記保護用nMOSFETの基板と前記入/出力端子間 から成るダイオード列と、

前記保護用nMOSFETの基板と接地和位間に接続さ **れた抵抗器と、を有する静電保護回路**。

【請求項4】 前記入/出力端子に印加される和圧が接 地電位から循環衛圧のとき 前配保護用 n MOSFETが オフ状態を維持し、前紀人/出力端子に印加される電圧 が電磁電圧を越えたとき前配保護用nMOSFETの基 仮からソースに電流が流れて寄生パイポーラトランジス タが導通するように、

前記ダイオード列を構成するダイオード数、及び前記低 抗器の値が散定された耕氷項3配載の静電保護回路。

MOSFETである翻水項1乃至4のいずれか1項配板 の静和保護回路。

ドレインが入/出力端子と接続され、ソース及び拈板が [請求項6] **静電気による過**値圧から半導体集積回路 装置の内部回路新子の破壊を防止するための静程保護回 格であった、

前記保護用nMOSFETのゲートと前記入/出力端子 それぞれ接地電位と接続された保護用nMOSFET

間に順方向に直列接続された少なくとも1つのダイオー

ドから成るダイオード列と、

前記ダイオード列と並行に、前配保護用 n M O S F E T のゲートと何記入/川力端子川に接続された第1の抵抗

が記保製用 n MOS F. E T のゲートと接地電位間に接続 された第2の抵抗器と、を有する静電保護回路。

【静水項7】 値記入/出力端子に印加される池圧が接 地電位から電廠電圧のとき、値配保拠用nMOSFET がオフ状態を維持するように、前記第1の抵抗器及び第 2の抵抗器の値がそれぞれ散定され、

前記入/出力端子に印加される亀圧が電源電圧を起えた とき、前記保護用nMOSFETがオンして寄生パイポ **ーラトランジスタが導通するように、前記ダイオード列** を構成するダイオード数、及び削配第2の抵抗器の値が 散定された請求項6配載の静電保護回路。

[請求項8] 静電気による過電圧から半導体集積回路 装置の内部回路索子の破壊を防止するための静電保護回 ドレインが入/川力端子と接続され、ソース及びゲート 路であって、

がそれぞれ接地電位と接続された保護用nMOSFET 前記保機川 I MOSFETの基板と向記入/川力端子間

に順方向に直列接続された少なくとも1 つのダイオード 前記ダイオード列と並行に、前記保護用nMOSFET の基板と前配入/出力端子間に接続された第1の板抗器 から成るダイオード列と、

前記保護用nMOSFETの基板と接地電位間に接続さ れた第2の低抗器と、を有する静電保護回路。

地電位から電源電圧のとき、前能保護用nMOSFET 【語水項9】 何記入/出力結子に印加される和圧が接 がオフ状値を維持するように、前配第1の低抗器及び第 2の抵抗器の値がそれぞれ設定され、 **前紀入/出力場子に印加される。也正が電源電圧を越えた** とき、前記保護IIInMOSFETの基板からソースに稳 流が流れて寄生パイポーラトランジスタが導通するよう に、前記ダイオード列を構成するダイオード数、及び前 記算2の抵抗器の値が設定された請求項8記載の静電原 **黎回路**。

は、オフ状態に設定されたnMOSFETである間水項 [請求項10] 向配第1の低低器及び第2の低低器 6 乃至9 のいずれか1 項記載の静電保護回路。

【鮒水項11】 静電気による過電圧から半導体集積回 路装置の内部回路紫子の破壊を防止するための静電保護 回路であって、

ドレインが入人出力端子と接続され、ソース及び基板が 前記保護用pMOSFETのゲートと向記入ノ出力端子 間に順方向に直列接続された少なくとも 1 つのダイオー それぞれ塩原と接続された保護用pMOSFETと、

ドから成るダイオード列と、

前配保護用 b MOSI: E T のゲートと危原間に接続され

€

特開平13-358297

を有する辞電保護回路。

圧が接地で位以下になったとき前配保護用pMOSFE 【解求項12】 順紀入/出力端子に印加される池圧が 接地電位から電源電圧のとき前記保護用pMOSFET 57オフ状態を維持し、前記入/111カ端子に印加される電 Tがオンして寄生パイポーラトランジスタが導通するよ 前記ダイオード列を構成するダイオード数、及び前記抵 【精求項13】 静君気による過程圧から半導体集積回 路装配の内部回路景子の破壊を防止するための静能保護 **抗器の値が設定された算水項11記載の静電保護回路。**

前記保護用pMOSFETの基板と前記入/出力端子間 ドレインが入了出力端子と接続され、ソース及びゲート に頃方向に意列接続された少なくとも1つのダイオード がそれぞれ電源と接続された保護用pMOSFETと、 から成るダイオード列と、

前記保護用pMOSFETの基板と電源間に接続された 氐抗器と、を有する静電保護回路。

Tのソースから基板に電流が流れて寄生パイポーラトラ 【精米項14】 前記入/出力端子に印加される他圧が 接地電位から電源電圧のとき前記保護用 p MOSFET がオフ状態を維持し、前記入/出力端子に印加される電 圧が接地低位以下になったとき前記保護用pMOSFE ンジスタが導通するように、

前記ゲイオード列を構成するダイオード数、及び前配抵 【精水項15】 前記抵抗器は、オブ状態に設定された p MOSFETである湖水項11乃至14のいずれか1 抗器の値が設定された群水項13記載の静電保護回路。 真記載の静電保護回路。

【精米項16】 前社気による過程圧から半導体集積回 路装置の内部回路素子の破壊を防止するための静電保護 回路であって、

ドレインが入/出力端干と接続され、ソース及び基板が 前記保護用pMOSFETのゲートと前記入/川力端子 間に順方向に莨列接続された少なくとも 1 つのダイオー それぞれ和源と接続された保護用pMOSFETと、 ドから成るダイオード列と、

の・ゲートと前記入/出力端子間に接続された第1の低抗 前記ダイオード列と並行に、前記保護用pMOSFET

前記保護用pMOSFETのゲートと接地電位間に接続 された第2の抵抗器と、を有する静電保護回路。

接地電位から電磁電圧のとき、前記保護用p.MOSFE Tがホフ状値を維持するように、前記第1の抵抗器及び 【韓求項17】 前記入/出力端子に印加される泡圧が 群2の抵抗器の値がそれぞれ設定され、

ったとき、前記保護用 P.MOSFETがオンして寄生パ 前記入/出力端子に印加される電圧が接地電位以下にな

ド列を構成するダイオード数、及び前配第2の低抗器の 「ボーラトランジスタが導通するように、前記ダイオー 直が設定された請求項16記載の静電保護回路。

【間求項18】 静電気による過程圧から半導体集積回 各装匠の内部回路索子の破壊を防止するための静電保護 回路であって、 ドレインが入入出力端子と接続され、ソース及びゲート **前配保護用 p M O S F E T の 芸板 と 前配入 / 出 力端 子 開** に順方向に 真列接続された少なくとも 1 つのダイオード がそれぞれ電源と接続された保護用pMOSFETと、 から成るダイオード列と、

の基板と前記入/出力端子間に接続された第1の抵抗器 前記ダイオード列と並行に、前記保護用pMOSFET

前記保護用pMOSFETの基板と後地電位間に接続さ れた第2の抵抗器と、を有する静電保護回路。

接地電位から電源電圧のとき、前記保護用pMOSFE 【精求項19】 前記入/出力端子に印加される電圧が Tがオフ状値を維持するように、前配第1の抵抗器及び 第2の低抗器の値がそれぞれ設定され、

ったとき、前配保護用PMOSFETのソースから基板 ように、前記ダイオード列を構成するダイオード数、及 前記入/出力端子に印加される電圧が接地電位以下にな に乱流が流れて寄生パイポーラトランジスタが導通する び前記第2の抵抗器の頃が設定された額求項18記載の 争也保護回路,

は、オフ状態に散定されたpMOSFETである請求項 [請求項21] 静電気による過電圧から半導体集積回 路装置の内部回路素子の破壊を防止するための静電保護 【開水項20】 前紀第1の抵抗器及び第2の抵抗器 16万至19のいずれか1項記載の静電保護回路。

ドレインが入ノ川力端子と接続され、ソース及び基板が それぞれ接地電位と接続された保護用nMOSFET

回路であって、

前記保護用 n MOSFETのゲートと前記入/出力端子 間に順方向に直列接続された少なくとも1つのダイオー ドから成る第1のダイオード列と

ドレインが前記入/川力端子と接続され、ソース及び基 前記保護用nMOSFETのゲートと接地電位間に接続 された第1の抵抗器と、

坂がそれぞれ電源と接続された保護用pMOSFET

前記保護用pMOSFETのゲートと前記入/出力端子 間に順方向に直列接続された少なくとも1つのダイオー ドから成る第2のダイオード列と、

前記保護用pMOSFETのゲートと電源間に接続され 【翻求項22】 前記入/出力端子に印加される電圧が と第2の抵抗器と、を有する静電保護回路。

安地電位から電源電圧のとき前記保護用nMOSFET

がオフ状態を維持し、前記入/出力端子に印加される電 圧が電源電圧を越えたとき前記保護用nMOSFETが に、前紀第1のダイオード列を構成するダイオード数、 オンして寄生パイポーラトランジスタが導通するよう 及び前記第1の抵抗器の値が設定され、

ダイオード列を構成するダイオード数、及び前配第2の 電圧のとき前記保護用 p M O S F E T がオフ状値を維持 になったとき前配保護用PMOSFETがオンして寄生 パイポーラトランジスタが導通するように、前配第2の 前記入/出力端子に印加される電圧が接地電位から電源 し、前紀入/出力端子に印加される電圧が接地電位以下 抵抗器の値が設定された請求項21配載の静電保護回

【翳水項23】 静亀気による過電圧から半導体集積回 路装置の内部回路索子の破壊を防止するための静電保護 回路であった、

ドレインが入/出力端子と接続され、ソース及びゲート がそれぞれ接地電位と接続された保護用nMOSFET

に順方向に直列接続された少なくとも1つのダイオード 前記保護用nMOSFETの基板と前記入/出力端子間 から成る第1のタイオード列と、.

ートがそれぞれ電源と接続された保護用pMOSFET ドレインが前記入/出力端子と接続され、ソース及びゲ れた年1の底抗器と、

前記保護用 n MOSFETの基板と接地電位間に接続さ

に順方向に直列接続された少なくとも1つのダイオード 前記保護用pMOSFETの基板と前紀入/出力端子開 から成る第2のダイオード列と、 前記保護用pMOSFETの基板と電源間に後続された 第2の抵抗器と、を有する静電保護回路。

するダイオード数、及び前記第1の抵抗器の値が設定さ 接地電位から電源電圧のとき前記保護用nMOSFET がオフ状態を維持し、値配入/川力端子に印加される電 圧が電源電圧を越えたとき前記保護用nMOSFETの 基板からソースに電流が流れて寄生パイポーラトランジ スタが導通するように、前記第1のダイオード列を構成 【糖求項24】 前記入/出力端子に印加される電圧が

になったとき前記保護用pMOSFETのソースから基 前記入/出力端子に印加される電圧が接地電位から電源 **宿圧のとき前配保拠用 p MOSFETがオフ状値を維持** し、前記入/出力端子に印加される池圧が接地電位以下 板に電流が流れて寄生パイポーラトランジスタが導通す るように、前記第2のダイオード列を構成するダイオー ド数、及び前配第2の抵抗器の循が設定された簡求項2 3 記載の静電保護回路。 【耕水項25】 前記第1の抵抗器は、オフ状態に設定 されたnMOSFETであり、

ETである間求項21乃至24のいずれか1項配載の静 前配第2の低抗器は、オフ状態に設定された p MOSF

【新水項26】 静電気による過電圧から非導体集積回 路装置の内部回路素子の破壊を防止するための静電保護 回路であった、

ドワインが入入出力端子と接続され、ソース及び基板が それぞれ接地電位と接続された保護用nMOSFET 信託保護用 n MOSFETのゲートと信託入/出力協予 明に順方向に直列接続された少なくとも1つのダイオー ドから成る第1のダイオード列と、

前記第1のダイオード列と並行に、前記保護用nMOS FETのゲートと前記スノ山力端子間に接続された第1 の抵抗器と、 前配保護川nMOSFETのゲートと接地電位間に接続

ドレインが前記入/出力端干と接続され、ソース及び基 仮がそれぞれ電節と接続された保護用pMOSFET された第2の低抗器と、

位記保護川 b MOSFETのゲートと向配入/出力端子 間に順方向に直列接続された少なくとも1つのダイオー ドから成る第2のダイオード列と、

値配第2のダイオード列と並行に、値配保護川p MOS FETのゲートと値配入/U力端子間に接続された第3 の抵抗器と、 前配保護用pMOSFETのゲートと接地電位間に接続 された第4の抵抗器と、を有する静電保護回路。

接地電位から電磁電圧のとき、値配保製用nMOSFE Tがオフ状態を維持するように、前記第1の抵抗器及び 【翻求項27】 前記入/川力端子に印加される和圧が 第2の抵抗器の値がそれぞれ設定され、

ード列を構成するダイオード数、及び値配第2の抵抗器 前記入/川力端子に印加される電圧が電散電圧を越えた とき、前記保護用nMOSFETがオンして寄生パイポ **ーラトランジスタが導通するように、前配第1のダイオ** の値が数定され、

電圧のとき、前記保護用 PMOSFETがオフ状値を維 **時するように、前記第3の抵抗器及び第4の抵抗器の値** 前記入/川力端子に印加される電圧が接地電位から電源 がそれぞれ股定され、

ったとき、fúf2保鎖用pMOSFETがオンして寄生パ 【都水項28】 静電気による過程圧から半導体集積回 イオード列を構成するダイオード数、及び前配第4の低 前記入ノ川力端子に印加される衛圧が接地電位以下にな イポーラトランジスタが導通するように、 歯配第2のダ **抗器の値が設定された精収項26記載の静電保護回路。**

路装匠の内部回路素子の破壊を防止するための静電保護 回落であった、

ドレインが入ノ出力端子と接続され、ソース及びゲート

前記保護用 I MO S F E T の基板と前記入/ 山力端子間 に頃方向に真列接続された少なくとも1つのダイオード から成る第1のダイオード列と、

前記第1のダイオード列と並行に、前記保護用nMOS FETの基板と前記入/出力端子間に接続された第1の 前配保護用nMOSFETの基板と接地電位間に接続き れた第2の抵抗器と、 ドレインが前記入/出力端子と接続され、ソース及びゲ ートがそれぞれ電源と接続された保護用pMOSFET 前記保護用pMOSFETの基板と前記入/出力端子間 に境方向に意列接続された少なくとも 1 つのダイオード から成る第2のダイオード列と、 前記第2のダイオード列と並行に、前記保護用pMOS FETの基板と前記入/出力端子間に接続された第3の 前配保護用pMOSFETの基板と接地電位間に接続さ れた第4の抵抗器と、を有する静乱保護回路。

【翻求項29】 前記入/出力端子に印加される電圧が 後地電位から電源電圧のとき、前記保護用nMOSFE Tポオフ状態を維持するように、前記第1の低抗器及び 第2の抵抗器の値がそれぞれ散定され、

とき、前記保護用nMOSFETの基板からソースに電 流が流れて寄生パイポーラトランジスタが等通するよう 前記入/出力端子に印加される和圧が接地配位から追踪 前記入/川力端子に印加される亀圧が電磁電圧を越えた に、伯紀第1のゲイオード列を構成するゲイオード数、 及び前配第2の抵抗器の値が設定され、

電圧のとき、前記保護用pMOSFETがオフ状態を維 持するように、前記第3の低抗器及び第4の低抗器の低 がそれぞれ設定され、

前記入了出力端子に印加される和圧が接地電位以下にな ったとき、前記保護用 p M O S F E T のソースから基板 に電流が流れて寄生パイポーラトランジスタが導通する ように、前記第2のダイオード列を構成するダイオード 数、及び削犯前4の板桁器の値が設定された間求項28 記載の静電保護回路。

前紀第3の板抗器及び第4の板抗器は、オフ状態に設定 されたpMOSFETである請求項26乃至29のいず [請求項30] 前記第1の抵抗器及び第2の抵抗器 は、オフが値に設定されたnMOSFETであり、 れか1項記載の静電保護回路。

[発明の詳細な説明]

[1000]

[発明の属する技術分野] 本発明は半導体集積回路装置 に関し、静毬気による過電圧からその内部回路素子の破 模を防止するための静電保護回路に関する。

(従来の技術) 図28は従来の静間保護回路の一構成例 を示す回路図であり、図29は従来の静電保護回路の他 の構成例を示す回路図である。 [0003] 図28に示すように、従来の静電保護回路 は、保護対象である内部回路紫子に接続された入力端子 INと接地電位GND間に挿入された、ドレイン (D) が入力端子INと接続され、ゲート(G)、ソース

(S) 及び基板 (B) がそれぞれ接地電位GNDと接続 されたNチャネルMOSFET (以下、nMOSFET と称す) Qn5を有する構成である。

I NC負種圧が印加されると、nMOSFETQn5の **基板(B)とドレイン(D)間のpn接合を通して接地** 【0004】このような従来の訃徳保護回路の入力場子 単位GNDから入力端子!Nに迅流が流れ、入力端子! Nに印加される負の過電圧がクランプされる。

【0005】一方、入力端子1Nに正の過程圧が印加さ れると、nMOSFETQn5の寄生バイボーラトラン ジスタを通して人力端子INから接地電位GNDに電流 プされる。これは、ドワイン語でのインパクトイオン化 により基板電流が流れると基板抵抗によって電圧降下が が流れ、入力端子INに印加される正の過程圧がクラン 生じ、nMOSFETQn5のソース(S)-基板

ジスタが導通するためにほこる現象であり、図30に示 すようなスナップバックと呼ばれる負性低抗を有する電 (B) - ドレイン (D) から成る寄生バイボーラトラン 圧 (Vin) - 亀流 (1) 特性を示す。

【0006】ここで、寄生パイポーラトランジスタが導 通して高低抗領域から低低抗領域に変化する低圧V t 1 を内部回路素子の破壊電圧(ゲート核化膜の耐圧)より をトリガー電圧と呼ぶ。通常、このトリガー電圧Vt1 も低く散定する。

端子INと接続され、ゲート (G) 、ソース (S) 及び 丛板(B)がそれぞれ電源∨ddと接続されたPチャネ 【0007】一方、図29に示した静電保護回路は、図 28に示した静亀保護回路の構成に加えて、入力端子1 Nと電源Vdd間に挿入された、ドレイン (D) が入力 ルMOSFET (以下、pMOSFETと称す) Qp5 を有する構成である。

頃に動作する。また、接地電位GNDが開放された状態 れると、pMOSFETQp5のドレイン(D)と基板 dに電流が流れ、入力端子 I Nに印加される正の過電圧 が開放された状態では図28に示した静電保護回路と同 では、入力端子INに亀原Vdd以上の正電圧が印加さ (B) 間のpn接合を通して入力端子INから程原Vd [0008] 図29に示す静電保護回路は、電源Vdd **がクランブされる。**

[0009]また、入力端子1Nに負の過程圧が印加さ れると、pMOSFETQp5の沓生パイポーラトラン ジスタが導通状態になり、p MO S F E T Q n 5 のドレ

d dから入力端子 I Nに電流が流れ、入力端子 I Nに印 イン (D) - 基板 (B) -ソース (S) を通して結膜V 加される角の過電圧がクランブされる。

છ

Nに過む圧が印加されることによる半等体集積回路装置 [0010]以上のように動作することで、入力端子1 の内部回路素子の破壊を防止している。 【発明が解決しようとする牌題】近年の半導体規制回路

そ15MV/cmであるため、ゲート長が0.. 35µm 破壊に至る祖圧が低くなる傾向にある。例えば、MOS mの世代で7~8 nm、0. 25 nmの世代で5~6 n m、0. 18 mmの世代で3. 5~4 nmと世代を縋る ごとに薄くなる。ゲート酸化酸の絶縁破壊耐圧は、およ FETのゲート餃化膜の厚さは、ゲート長が0.35μ 装置は、高集積化に伴って内部回路素子が微細化され、 の世代で10~12V、0.25μmの世代で7~9 V、O. 18μmの世代で5~6V程度になる。

も頂ちにゲート餃化横が破壊されるとは限らない。しか 【0012】静電気による過低圧は過渡的なものである ため、上記絶縁破壊耐圧以上の電圧が印加されたとして しながら、その場合でもトランジスタ特性が変動するな どして信仰性が低下することがある。

[0013] 上述したように、図28及び図29に示し FETのスナップバックによる電圧一電流特性を利用し た従来の静電保護回路は、図30に示したようなMOS て過程圧を抑制している。これは、MOSFETの通常 のオン抵抗値より も寄生パイポーラトランジスタ導通時 の抵抗値の方が小さいことによる。

定する必要がある。しかしながら、MOSFETの各種 【0014】近年の内部回路茶子の絶縁破壊耐圧は低下 する傾向にあるため、トリガー衛圧Vt1をより低く設 パラメータを変えるだけでトリガー礼圧V 11を所留の 和圧に投定することは困難であるため、トリガーも圧V 1.1を十分低い電圧に設定することができずに内部回路 森子を保護することが困避になってきている。

FETがスナップバック動作を起こすトリガー復圧を下 げて低い絶縁破壊耐圧の回路券子を保護することが可能 【0015】 本発明は上記したような従来の技術が有す る問題点を解決するためになされたものであり、MOS な静電保護回路を提供することを目的とする。

【課題を解決するための手段】上記目的を選成するため 保護用nMOSFETと、前記保護用nMOSFETの 体集積回路装置の内部回路券子の破壊を防止するための 静電保護回路であって、ドレインが入/出力端子と接続 前記保護用nMOSFETのゲートと接地電位間に接続 本発明の静電保護回路は、静電気による過電圧から半導 され、ソース及び基板がそれぞれ接地電位と接続された ゲートと前記入/出力端子間に膜方向に直列接機された 少なくとも1つのダイオードから成るダイオード列と、

力端子に印加される電圧が電源電圧を起えたとき前記保 特閒平13-358297 された抵抗器と、を有する構成であり、前紀入/田力端 子に印加される和圧が接地電位から電源電圧のとき前配 保護MnMOSFETがオフ状態を維持し、前紀入/出 嬰川n MOSFETがオンして存生 ベイボーラトランジ イオード数、及び前記低抗器の値が設定された構成であ スタが蒋適するように、前記ダイオード列を構成するダ

用nMOSFETがオフ状態を維持し、前記入/出力場 保護用nMOSFETと、前配保護用nMOSFETの 【0017】または、静電気による過程圧から半導体集 **州回路装置の内部回路券子の破壊を防止するための静電** なくとも1つのダイオードから成るダイオード列と、怕 配保設用nMOSIETの基板と接地電位間に接続され た低抗器と、を有する構成であり、前記入/出力端子に 印加される電圧が接地電位から電敵電圧のとき前記保護 子に印加される。也圧が電源電圧を越えたとき前記保護用 nMOSFETの基板からソースに電流が流れて寄生べ ド列を構成するダイオード数、及び前記抵抗器の値が設 イポーラトランジスタが導通するように、前記ダイオー れ、ソース及びゲートがそれぞれ接地電位と接続された **基板と前記入/川力端子間に順方向に直列接続された少** 保護回路であって、ドレインが入ノ川力端子と接続さ **定された情報である。**

紀ダイオード列と並行に、前記保護川nMOSFETの [0018]または、静電気による過電圧から半導体集 れ、ソース及び基板がそれぞれ後地電位と接続された保 放続された第2の抵抗器と、を有する構成であり、前記 傾回路装置の内部回路素子の破壊を防止するための静電 級川n MOSFETと、単紀保護用n MOSFETのゲ なくとも1つのダイオードから成るダイオード列と、前 ゲートと前記入/川力端子間に接続された第1の抵抗器 と、前紀保護用nMOSFETのゲートと接地復位間に 入ノ川力端子に印加される電圧が接地電位から地源池圧 のとき、前記保護川nMOSFETがオフ状態を維持す るように、前紀第1の抵抗器及び第2の抵抗器の値がそ れぞれ設定され、前記入/出力端子に印加される池圧が 弘淑和王を述えたとき、 f/記保護用n MOSFETがオ 値記ダイオード列を構成するダイオード数、及び前配箔 ートと道記人/川力端子間に順方向に真列接続された少 ンして寄生パイポーラトランジスタが導通するように、 保護回路であって、ドレインが入/川力端子と接続さ

保護用nMOSFETと、前記保護用nMOSFETの なくとも1つのダイオードから成るダイオード列と、前 れ、ソース及びゲートがそれぞれ接地電位と接続された [0019]または、静電気による過程圧から半導体痕 傾回路装置の内部回路業子の破壊を防止するための計電 基板と前記入/川力端子同に順方向に値列接続された少 **保扱回路であって、ドレインが入/川力端子と接続さ** 2の抵抗器の値が散定された構成である。

記ダイオード列と並行に、前記保護用 n M O S F E T の イ出力場子に印加される池圧が接地電位から電源電圧の とき、前記保護用nMOSFETがオフ状値を維持する と、前記保護用nMOSFETの基板と接地電位間に接 **於された第2の抵抗器と、を有する構成であり、前記入** ように、前記第1の抵抗器及び第2の抵抗器の値がそれ ぞれ設定され、前記入/旧力端子に印加される池圧が電 算也圧を越えたとき、前記保護用nMOSドETの基板 からソースに電流が流れて寄生パイポーラトランジスタ が導通するように、値記タイオード列を構成するダイオ ド数、及び前配第2の抵抗器の値が設定された構成で 基板と前記入/出力端子間に接続された第1の抵抗器

抵抗器及び第2の抵抗器は、オフ状値に設定されたnM [0020] ここで、前記抵抗器、あるいは前記第1の OSFETであることが望ましい。

は、静電気による過池圧から半導体集積回路装置の内部 て、ドレインが入ノ出力端干と依頼され、ソース及び馮 と、前起保護用pMOSFETのゲートと前記入/出力 路子間に処方向に直列接続された少なくとも1つのダイ オードから成るダイオード列と、前記保護用pMOSF ETのゲートと電源間に接続された抵抗器と、を有する 構成であり、前記入/出力端子に印加される電圧が接地 和位から他原道圧のとき前記保護用 p MOS F E T がオ 接地電位以下になったとき前配保護用 p MO S F E T.が に、前記ゲイオード列を構成するゲイオード数、及び前 フ状態を推荐し、前記人/出力端子に印加される乱圧が 【0021】また、本発明の静琪保護回路の他の構成 板がそれぞれ電液と接続された保護用pMOSFET オンして客生パイポーラトランジスタが降通するよう 回路券子の破壊を防止するための静電保護回路であっ 記抵抗器の値が設定された構成である。

指用 p MOSFETの基板と電原間に接続された抵抗器 される亀圧が接地電位以下になったとき前記保護用DM 【0022】または、静惟気による過名圧から半導体集 れ、ソース及びゲートがそれぞれ崔原と接続された保護 用pMOSFETと、前記保護用pMOSFETの基板 とも1つのダイオードから成るダイオード列と、前配保 と、を育する構成であり、前記入/出力端子に印加され る電圧が接地電位から電敵電圧のとき前記保護用pMO SFETがオフ状態を維持し、前紀入/出力端子に印加 OSFETのソースから基板に電流が流れて寄生パイポ **ーラトランジスタが導通するように、前記ダイオード列** を構成するダイオード数、及び前記抵抗器の値が設定さ **預回路装配の内部回路素子の依拠を防止するための静**倒 と前記入/出力場子間に順方向に前列接続された少なく 保護回路であって、ドレインが入/川力端子と接続さ

積回路装成の内部回路系子の破壊を防止するための静乱 [0023] または、静虹気による過電圧から半導体集

たた路形である。

前記ダイオード列を構成するダイオード数、及び前記第 れ、ソース及び基板がそれぞれ電源と接続された保護用 pMOSFETと、前記保護用pMOSFETのゲート ともしつのダイオードから成るダイオード列と、前配ダ 前配保護用pMOSドETのゲートと接地電位開に接続 出力端子に印加される電圧が接地電位から電源電圧のと き、前記保護用pMOSFETがオフ状態を維持するよ **うに、前記第1の抵抗器及び第2の抵抗器の値がそれぞ** れ設定され、前紀入/出力端子に印加される電圧が接地 電佐以下になったとき、前記保護用 p MOSFETがオ と前記入/出力端子間に順方向に直列接続された少なく イオード列と並行に、前記保護用pMOSFETのゲー トと前記入/出力端子間に接続された第1の抵抗器と、 された第2の抵抗器と、を有する構成であり、前記入、 ンして寄生パイポーラトランジスタが導通するように、 保護回路でむった、ドワインが入人出力端子と接続さ 2の抵抗器の値が数定された構成である。

保護回路であって、ドレインが前記入/出力端子と接続 され、ソース及びゲートがそれぞれ電源と接続された保 援用pMOSFETと、前記保護用pMOSFETの基 板と入/出力端子間に順方向に直列接続された少なくと オード列と並行に、値配保護用pMOSFETの基板と 前記入/出力端子間に接続された第1の抵抗器と、前記 第2の抵抗器と、を有する構成であり、前紀入/出力端 子に印加される電圧が接地電位から電源電圧のとき、前 前記第1の抵抗器及び第2の抵抗器の値がそれぞれ投定 ら基板に電流が流れて寄生パイポーラトランジスタが導 通するように、値記ダイオード列を構成するダイオード 【0024】または、静電気による過電圧から半導体集 傾回路装置の内部回路業子の破壊を防止するための静意 も1つのダイオードから成るダイオード列と、前紀ダイ 保護用pMOSFETの基板と接地電位間に接続された され、前記入/旧力端子に印加される電圧が接地電位以 Fになったとき、前記保護用pMOSFETのソースか 記保護用pMOSFETがオフ状態を維持するように、 数、及び前配第2の抵抗器の値が設定された構成であ [0025] ここで、前記抵抗器、あるいは前記第1の 低抗器及び第2の抵抗器は、オフ状態に設定された p M OSFETであることが望ましい。

びそれに接続されたダイオード列、抵抗器とを組み合わ [0026] また、前記nMOSFET及びそれに接続 されたダイオード列、抵抗器と、前記pMOSFET及 せて用いることもできる。

る、あるいは接地電位以下になるなど異常な時に、保護 用nMOSFET、または保護用pMOSFETの甚板 **電流が増加して、スナップパックのトリガー電圧を下げ** [0027] 上記のように構成された静電保護回路で は、人人出力端子に印加される電圧が電源電圧を越え ることができる。

「発明の実施の形態」次に本発列について図面を移照し て説明する。 [0029] (第1の実施の形態)図1は本発明の静電 り、図214本発明の静街保護回路の第1の実施の形態の 保護回路の第1の実施の形態の構成を示す回路図であ 他の構成を示す回路図である。

接続されたnMOSドETQn1と、nMOSFETQ n 1のゲート (G) と入力端子 1 N間に順力向に直列接 【0030】図1に示すように、木実施形態の静電保護 回路は、ドレイン (D) が入力端子1Nと接続され、ソ ース (S) 及び基板 (B) がそれぞれ接地電位GNDと F列Xn1と、nMOSFETQn1のゲート(G)と 接地電位GNDMに接続された低抗器Rn1とを有する **続された少なくとも1つのダイオードから成るダイオー** 構成である。

[0031] また、図2に示す静電保護向路は、図1に **示した静疱保護回路の構成に加えて、ドレイン (D) が** 1と、pMOSFETQp1のゲート(G)と入力端子 オードから成るダイオード列Xp1と、pMOSFET Qp1のゲート(G)と電廠Vdd메に接続された抵抗 がそれぞれ電源Vddと接続されたpMOSFETQp IN間に順方向に直列後続された少なくとも1つのダイ 人力端子INと接続され、ソース (S) 及び基板 (B) 器Rp1とを有する構成である。

を示す回路図であり、図4は図2に示した静電保護回路 [0032] 図3は図1に示した酢酒保製回路の実施例 の実施例を示す回路図である。 [0033] 図3に示すように、図1に示した静電保護 構成することが可能である。nMOSFETQrn1の ゲート (G) 、及び基板 (B) はそれぞれ接地電位GN 回路の抵抗器RnlはnMOSFETQrnlを用いて ドレイン (D) はnMOSFETQn1のゲート (G) と接続され、nMOSFETQrn1のソース(S) Dと接続される。

[0034]また、図4に示すように、図2に示した静 用いて構成することが可能である。pMOSFETQr 電保拠回路の低抗器Rp 1はpMOSFETQrp1を plokvay (D) ttpMOSFETQploy-h (G) と接続され、pMOSFETQrp1のソース

図3と同様にnMOSFETQrn1を用いて構成する (S)、ゲート(G)、及び基板(B)はそれぞれ電源 Vddと接続される。なお、図4に示す低抗器Rn1も ことが可能である。

[0035] このような構成において、次に本実施形態 の静電保護回路の動作について、図3及び図4に示した 回路を例にして説明する。

inが印加されているとき、ダイオード列Xn1とnM [0036] 図3において、入力端子INに入力包圧V OSFETQrn1の接続点(ノードA)の宅位Va

Qrnlのオフ抵抗とで入力電圧Vinを分圧した値と は、ゲイオード列Xnlの順方向低抗とnMOSFET

のオフ低抗の値は、寄生パイポーラトランジスタが導通 の稍(k×V f)よりも入力電圧Vinが低いときには するまでは入力電圧VInに対して僅かな仏存性しか示 【0037】ダイオード列×n1の樋方向抵抗は、ダイ オード列Xn1のダイオード数kとその順方向電压Vf 高振航 (例えば、1014a程度) となり、 (k×Vf) 1000程度) となる。一方、nMOSFETQrn1 よりも入力低圧Vinが高いときには低低抗(例えば、 さないため、国ぼ一定と見なすことができる(例えば、 10102程度)。

する。 なお、図5はゲイオード列Xn1のゲイオード数 [0038] したがって、ノードハの池位Vaは、入力 例えば、図5に示すように入力犯圧Vinとともに増加 kがk=4 (実数)、k=6 (点数) のときの頃子を示 型.EVinがダイオード数kと駆方向衛圧Vfの苺(k く、入力和EVinが(k×Vf)よりも高くなると、 ×Vſ)よりも低いときは接地電圧GNDとほぼ等し している。

k、及びnMOSFETQrn1のオフ庇抗値 (しきい 南池田)をそれぞれ設定する。図5では、池原和圧Vd [0039] 本実施形態では、入力電圧Vinが電販電 のゲートにしきい質電用V1ト以上の電圧が印加されて 用Vddを超えたとき、保護川のnMOSFETQn1 オンするように、ダイオード列X n 1のダイオード数 dを、例えば、1.0V (k=4)と1.8V (k= 6) に想定している。

[0040] このように散定することで、図3に示した n S V d d)のときは保護肌のn MO S F E T Q n 1が オフ状値を維持し、人力電圧Vinが異常粒圧(Vin >Vdd)のときは保護用のnMOSFETQn 1がオ ン状態となる。nMOSFETQnlがオン状態になる れるために基板粕流も増加し、スナップパックのトリガ と、チャネル和流が流れ、インパクトイオン化が促過さ 砂電保護回路は、入力地圧Vinが通常衛圧(0 5 Vi 一池圧Vt1が図6に示すように低下する(Vt [0041] したがって、ダイオード列Xn1のダイオ **値 (しきい値電圧) を関股することで、トリガー電圧V** 1.1を所望の心圧(仮心圧)に散定することができるた め、絶縁破壊副圧が低い内部回路素子の破壊を防止する ード数k、あるいはnMOSFETQrn1のオフ抵抗 ことができる。

Nに負電圧が印加されると、従来と同様に、nMOSF ETQnのドレイン (D) と基板 (B) 間のpn接合を 【0042】なお、図1または図3に示した入力端子1 過して接地電信GNDから入力端子 I Nに電流が流れ、 人力端子 INに入力される負の過電圧がクランプされ、

特開平13-358297

[0043] - が、図4に示した静電保護回路は、電源 V d が開放された状態では図3に示した静電保護回路 と同様に動作する。また、接地電位GNDが開放された 状態では、人力端子1NIC電源V d 4以上の正池圧が印 加されると、pMOSFETQpのドレイン(D)と基 版(B)間のpn接合を通して人力端子1Nから電源V d dに電流が流れ、人力端子1Nに入力される正の過載 圧がクランフされる。

「0044」さらに、図3に示した砂電保護回路と同様 にして、入力電圧Vinが接地配信CND以下になった とき、保護用のPMOSFFTQplがオンするよう に、ダイオード列Xplのダイオード数k、及びPMO SFETQrplのダイオード数k、及びPMO SFETQrplのオフ低点面(しきい値電圧)をそれ ぞれ較ですれば、入力電圧Vinが通常面圧(0をVi m≤Vdd)のときは保護用のPMOSFETQplがオフ状態を維持し、入力電圧Vinが異常面圧(0をVi n≤Vdd)のときは保護用のPMOSFETQplがオン状態となる。したがって、図3に示したmMOSFETQplがオン状態となる。したがって、図3に示したnMOSFETQplがオン状態となる。したがって、図3に示したnMOSFETQplがオン状態となる。したがって、図3に示したnMOSFETQplがオン状化が保護されるために基板配減出が加し、スナップバックのトリガー電圧Vinが低下する。

[0045] よって、図4に示した静電保護回路は、n リガー電低V t l だけでなく、pMOSFETQp l の 寄生パイポーラトランジスタのトリガー電圧Vi1も低 Fさせることもできるため、電面Vdd、接地電位GN Qp1と、そのゲート(G)に依視されるダイオード列 Dいずれが国政された場合でも入力端子INに印加され [0046] なお、閏2及び図4に示した静電保護回路 CIL, nMOSFETQn12pMOSFETQp12 p 1) のみを行する構成であってもよい。そのような構 成であっても、pMOSFETQp1の寄生パイポーラ トランジスタのトリガー電圧Vi1を低下させることが できるため、接地電位GND開放時、入力端子INに印 をそれぞれ有する構成を示しているが、pMOSFET Xp1、及び低抗器Rp1(またはpMOSFETQr MOSFETQn1の寄生パイポーラトランジスタの る正负それぞれの過化圧をクランプすることができる。 加される負の過電圧をクランプすることができる。

[0047] 次に、本契節形態の静電保護回路の構造について図面を用いて投明する。
[0048] 図7は図3に示した静化保護回路がシリコン基板に形成された様子を示す団が面図であり、図8は図4に示した静低保護回路がシリコン基板に形成された様子を示す団が面図である。なお、図7はダイオード列 Xn1として2個のダイオードを示している。また、図8は図4に示した静低保護回路のうち、pMOSFET Qp1、ダイオード列Xp1(ダイオード図)、及びpMOSFET Qp1、メイオード列Xp1(ダイオードの)、及びpMOSFET Qp1、メイオード列Xp1、タびnMOSFET Qp1、メイオード列Xp1、及びnMOSFET Qp1、メイオード列Xp1、及びnMOSFET Qp1、メイオード列Xp1、及びnMOSFET Qp1、メイオード列Xp1、及びnMOSFET Qp1、メイオード列Xp1、及びnMOSFET Qp1、メイオード列Xp1、及びnMOSFET Qp1、

FETQrn1の構造は図7と同様であるため、その説

【0049】図7において、図3に示した静電保護回路 は、まず、p型基板1中に、各来子を分離するための券子分離核化模2を400m程度の深さで形成し、フォトレジストをマスクとして用いて、nMOSFETの形成領域に、例えば、300keVで2×10^{13cm-2}、200keVで4×10^{12cm-2}、30keVで5×

1 0 l2 c m-2の条件でポロンを連続注入し、p ウエル 3

を形成する。

[0050] 続いて、フォトレジストをマスクとして用い、ダイオード列Xn1の名ダイオードの形成関連に、Ng/式、700keVで2×10¹³cm⁻²、500keVで4×10^{12cm-2}、500keVで4×10^{12cm-2}の条件でリンを注入し、さらに、100keVで5×10^{12cm-2}の条件でド茶を注入してロラエル4を形成する。

【のの51】次に、p型基切1上に厚さ3.5m配程度 のグート他化版を形成し、その上に、例えば、厚さ15 0mm、幅0.18ヵmの多結晶シリコンから成るゲート電衝5を形成する。

[0052] 続いて、ゲート記憶ちをマスクとして用い、例えば、10keVで3×10^{14cm-2}の条件でnMOSFETの形成領域にと着を注入し、ソース、ドレインとなるn-拡散層(不図示)を形成した後、ゲート電極5の回壁に幅100nm程度の酸に膜から成るサイドウォール(不図示)を形成する。

(0053) 次に、フォトレジスト、ゲート配価5、及びサイドウォールをそれぞれマスクとして用い、例えば、50ke Vで3×10^{15cm-2}の条件で、mMOS F ETの形成耐域でそれぞれと繋をは入してn⁴地散層6~10を形成する。こで、614ダイオード列Xn1を構成する各ダイオードのカンード、7はnMOSFETQrn1のドレイン・(D)、8はnMOSFETQrn1のアレイン・9はnMOSFETQn1のドレイン・9はnMOSFETQn1のアイン(C)、8はMOSFETQn1のアレイン・9はnMOSFETQn1のアレイン・

[0054] 次に、フォトレジストをマスクとして用い、例えば、30keVで3×10^{15cm-2}の条件でダイオードの形成環域及びnMOSFETの形成関域に2フッ化ボロン(BF2)を注入してp⁴粒階周11~13を形成する。ここで、11はダイオード列×n1を構成する各ダイオードのアノード、12はnMOSFETQrn1の基板(B)に配線を行うためのpカエルコンタクト、13はnMOSFETQn1の基板(B)に配線を行うためのpカエルコンタクトとなる。

【ののちち】最後に、ゲート電極ち、n+拡散層も~1 0、p+拡散層11~13の装面に、倒えば、厚き30 nmのコバルトシリナイド圏14を形成し、層間絶謀機 (不図示)を形成した後、カコバルトシリナイド圏14

上に配線を行う。

[0056] 図8において、図4に示した肺癌保護回路は、まず、p型拡板1中に、各等子を分離するための発子分離位をために、フォートンジトをマメクとして用いて、グイオード列×p1の各グイオードの形成領域及びpMOSドETの形成領域、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹³cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹³cm⁻²の条件でと素をは入してロウェル24、23を形成する(図7に示したロウェル4と同時に形成される)。

【のの57】次に、p型基板1上に厚さ3.5nm環度のゲート酸化酸を形成し、その上に、例えば、原さ150nm、幅0.18μmの多結晶シリコンから成るゲート階級5を形成する。

[0058] 続いて、ゲート電衝5をマスクとして川い、例えば、10keVで3×10^{ld}cm^{-2の}条件でりMOSFETの形成領域に2フッ化ボロン (BF₂)を 強入して、ソース、ドレインとなるp-並散局(不図示)を形成した後、ゲート電極5の剛勁に備100nm環度の酸化膜から成るサイドウォール(不図示)を形成する。

[0059] 次に、フォトレジスト、ゲート福通5、及びサイドウォールをそれぞれマスクとして用い、倒えば、50keVで3×10^{15cm-2}の条件で、pMOSFETの形成関域、及びダイオードの形成関域にそれぞれと繋をは入してn⁴拡散層 5~10と同時に形成される)。ここで、31はダイオード列Xp1を構成する分イオードのカンード、32はpMOSFETQ rp1の基板(B)に観線を行うためのカテルコンタクト、33はpMOSFETQ p1の基板(B)に配線を行うためのカテルコンタクト、33はpMOSFETQ p1の基板のフェルコンタクトとなる。

[0060] 次に、フォトレジストをマスクとして旧い、例えば、30keVで3×10^{15cm-20}条件でダイオードの形成領域及びpMOSFETの形成領域に2フッ化ポロン(BF2)を近入してp⁴並放품26~30を形成する(図7に示したp⁴が放掘11~13と同時に形成される)。ここで、26はダイオード列xp1を構成するをダイオードのブノード、27はpMOSFETQp1のドイイン(D)、29はpMOSFETQp1のドイイン(D)、29はpMOSFETQp1のドイイン(D)、30はpMOSFETQp1のゲイイ(S)となる。

【ののら1】 最後に、ゲート電極5、p⁺拡散商26~30、n⁺拡散商3~3の設而に、例えば、厚き3のnmのコパルトシリナイド図1を形成し、園間絶譲度(不図示)を形成した後、各コパルトシリナイド図14上に監線を行う。

【0062】このような構造を有することで、ダイオード列Xn1、Xp1を構成する各ダイオードを、nMO

SFETQn1、Qrn1、あるいはpMOSFETQp1、Qrp1と共通の工程で形成することができるため、従来の構造に比べて工程を増やすことなく本税明の静電保護回路を形成することができる。

【0063】(第2の攻縮の形態) 図9は木塔切の砂電保護回路の第2の交施の形態の構成を示す回路図であり、図10は木発列の静電保護回路の第2の実施の形態の他の構成を示す回路図である。

[0064] 図9に示すように、本実施形態の静電保護 回路は、ドレイン(D) が入力端子 I Nと接続され、ソ ース(S) 及びゲート(G) がそれぞれ接他電位GND と接続された I MOSFET Q I 2 と、I MOSFET Q I 2 の基板(B) と入力端子 I N間に順方向に直列接 続された少なくとも I つのダイオードから成るダイオー ド列× II 2と、I MOSFET Q I 2 と接続されているない。 形成 I 2 と、I MOSFET Q I 2 の基板(B) と接 地電底GND間に接続された抵抗器 R I 2 とを右下る 成である。 【0065】また、図10に示した静電保護回路は、図9に示した静電保護回路の構成に加えて、ドレイン(D)が入力端平1Nと後続され、ソース(S)及びゲート(G)がそれぞれ電源Vdと後続されたりMOSFETQp2の基版(B)と入力端子1N間に順方向に度列接続された少なくとも1つのダイオードからなるダイオード列Xp2と、pMOSFETQp2の基版(B)と前額Vdd間に接続された所によったが表してよりの変えがよいではに関方向に表列を表する例に接続されたがないとを有する構成である。

【0066】図11は図9に示した静電保護回路の実施 例を示す回路図であり、図12は図10に示した静電保 獎回路の実施例を示す回路図である。

【のの67】図11に示すように、図9に示した砂電保 数回路の低抗器Rn2は第1の実施の形値を同様にnM OSFETQrn2を引いて構成することが可能であ る。nMOSFETQrn2のドレイン(D)はnMO SFETQn2の基板(B)と後機され、nMOSFE TQrn2のソース(S)、ゲート(G)、及び基板 (B) はそれぞれ接地電信CNDと複数される。

ETQrn2を用いて構成することが可能である。 【0069】このような構成において、次に本実施形態 の静電保護回路の動作について、図11及び図12に示した回路を倒にして説明する。

【0070】図11に示すように、本英値形態の静宅保拠回路のダイオード列Xn2及びnMOSFETQrn

特開平13-358297

21代、第1の実施の形態ののゲイオード列×n1及びn MOSFETQrn1と同様の搭成であるため、ノード Aの地位vaは、入力地圧vinがゲイオード列×n2 のゲイオード対×と順力向池圧viの前(k×vf)よ りも低いときは接地地圧GNDとほぼ等しく、入力地圧 Vinが(k×vf)よりも高くなると入力地圧vin に比例して増加する。

【0071】本実施形能では、人力道圧vinが電源電圧vddを建えたとき、保護用のnMOSFETQn2の基板(B)とソース(S)のpn接合に弧力向電域が設れるように、タイオード列xn2のタイオード数k、及びnMOSFETQrn2のオフ板坑値(しきい値電圧)をそれぞれ数定する。

【0072】このように設定することで、図11に示した静電保護回路は、入力電圧Vinが通信値 (0≦VinSVdd)のときは保護期のnMOSFETQn2がオフ状態を維持し、人力電圧Vinが異常能圧 (VinSVdd)のときは保護期のnMOSFETQn2の基低(II)とソース(S)のpn接合に順方向電流が満れるようになる。この順方向電流によってスナップバックのトリガー電圧Vinが低下する。

[0073] 一方、図12に示した静電保護回路は、電源V4 dが開放された状態では、図11に示した静電保護的なと向様に動作する。また、接地電低GNDが開放された状態では、図11に示した静電保護回路と同様にして、人力選圧Vinが接地電低GND以下になったときに、保護用のpMOSFETQp2の基度(B)とソース(S)間のpn接合に順方向電流が流れるように、ゲイエード列Xp2のグイオード對k、及びpMOSFビスCp2のよりにのよってのメイオード列Xp2のグイオード對k、及びpMOSFには、120 pp2のオブ抵抗(しきい値道圧)をそれぞれ

[0074]このように設定することで、人力電比Vin通常的E(05VinSVdd)のときは保護用のpMOSFETQp2がオブ状態を維持し、人力電圧VinがSFETQp2がオブ状態を維持し、人力電圧VinがGVTでである。この第方向記憶に対力の記述である。この第方向記憶によってスナップバックのトリガー電圧Vilが低作する。
[0075]したがって、本実地が僅の静電保護回路ものの75]したがって、本実地が僅の静電保護回路もが可は高います。

100761なお、図10及び図12に示した砂電保護回路では、nMOSFETQn2とpMOSFETQp2とをそれぞれ有する構成を示しているが、pMOSFETQp2とをて口つり、かのSFETQp2の指式pp2の指式pp2のおよい。そのような情報であっても、pMOSFETQp2のお生べイボーラトランジスタのトリガー電圧V11を低下させることができるため、接触通信GND開放時、入力端子1NIこ

印加される負の過電圧をクランプすることができる。 【0077】また、本英施形態の静電保護回路の構造

【0077】また、本英施形態の静電保護回路の構造 は、配機及びnMOSFETの延板をパイアスするため にpウエルを囲むディーブnウエルが必要になる点を確けば、図7及び図8に示した第1の実施の形態の静電保 超回路と同様であるため、その説明は省略する。 【0078】 (第3の実施の形態) 図131本発明の静 道保護回路の第3の実施の形態の構成を示す回路図であり、図141本発明の静電保護回路の第3の実施の形態 り、図141本発明の静電保護回路の第3の実施の形態 の他の構成を示す回路図である。 [0079] 図13に示すように、本実施形態の静電珠 獲回路は、ドレイン (D) が入力端子 I Nと接続され、 ソース (S) 及び基仮 (B) がそれぞれ接地電位GND と接続された MMOSF E T Qn 3と、n MOSF E T Qn 3のゲート (G) と人力端子 I N間に境力向に直列 接続された少なくとも 1つのダイオードから成るダイオ ード列X n 3と、n MOSF E T Qn 3のゲート (G) と入力端子 I N間に接続された抵抗器Rn 3と、n MO SF E T Qn 3のゲート (G) と接地電位GN D間に接 競された抵抗器Rn 4とを有する構成である。

【0080】また、図14に示した静電保護回路は、図13に示した静電保護回路の構成に加えて、ドレイン(D)が入力端子1Nと接続され、ソース(S)及び装板(B)がそれぞれ電源Vd dと接続されたpMOSFETQp3のゲート(G)と入力端子1N間に解方向に直列接続された少なくとも1つのダイオードからなるダイオード列Xp3と、pMOSFETQp3のゲート(G)と私に指抗器Rp3と、pMOSFETQp3のゲート(G)と私源Vdd間に接続された抵抗器Rp3と、pMOSFETQp3のゲート(G)と私源Vdd間に接続された抵抗器Rp4とを有する構成である。

【0081】図151図13に示した静雄保護回路の実 臨例を示す回路図であり、図16は図14に示した静徹 R機回路の実施例を示す回路図である。 [0082] 図15に示すように、図13に示した静稿 保護回路の低抗器Rn3はnMOSFETQrn3を加 いて構成することが可能であり、抵抗器Rn4はnMO SFETQrn4を加いて構成することが可能である。 nMOSFETQrn3のドレイン(D)は入力端子1 Nと接続され、ゲート(G)及びソース(S)はそれぞれnMOSFETQn3のゲート(G)と接続され、基 版(B)は接地間位GNDと接続される。また、nMOSFETQn3のゲーイン(D)はnMOSFETQ n3のゲート(G)と接続され、ゲート(G)、ソース(S)及び基板(B)はそれぞれ接地電位GNDと接続

【のの83】また、図16に示すように、図14に示した静電保護回路の低抗器Rp3はpMOSFETQrp3を用いて構成することが可能であり、低抗器Rp4はpMOSFETQrp4を用いて構成することが可能で

ある。pMOSFETQrp3のドレイン (D) は入力 端子 INと接続され、ゲート (G) 及びソース (S) は それぞれ pMOSFETQp3のゲート (G) と接続され、また、pMOSFETQrp4のドレイン (D) はpMOSFETQrp4のドレイン (D) はpMOSFETQp3のゲート (G) と接続され、ゲート (G)、ソース (S) 及び基板 (B) はそれぞれ電源Vd4と接続される。なお、図15と同様に、図16に示す框所器Rn3もnMOSFETQrn3を用いて構成することが可能であり、図16に示す框が器Rn4もnMOSFETQrn4を用いる方

【0084】このような情感において、次に本実施形態 の静電保護回路の動作について図15及び図16に示し た回路を例にして説明する。 【0085】図15において、入力端子1Nに入力低圧 Vinが印刷されているとき、ダイオード列Xn3とn MOSFETQrn4の接続点(ノードA)の心位Vn は、ダイオード列Xn3の値方向低抗、またはnMOS FETQrn3のオフ低抗と、nMOSFETQrn4 のオフ低抗で入力値圧Vinを分圧した値となる。

【0086】ダイオード列×n3の航力向抵抗は、ダイオード列×n3のダイオード数kとその順方向電压VIの的 (k×VI)よりも入力電圧Vinが低いときには高低 (例えば、10 HQ程度)となり、(k×VI)よりも入力電圧Vinが高いときには低低抗 (例えば、1000程度)となる。一方、nMOSFETQrn3及びnMOSFETQrn3及びnMOSFETQrn3ないnOSFETQrn3ないのSFETQrn3ないのSFETQrn3ないのです。

【のの87】したがって、入力街匠vinがゲイオード数kと順力向電匠vrの積(k×vi)よりも低いとき、ダイオード列Xn3とnMOSFETQrn4の接続がN(ノードA)の電位vaは、nMOSFETQrn3のオブ抵抗とnMOSFETQrn3のオブ抵抗とnMOSFETQrn4のオブ抵抗とで入力電圧vinを分圧した値となる。

【0088】このように、nMOSFETQrn3は入力電圧Vinが(k×Vf)よりも低いときは電流めいイバスとして機能する。ダイオード列Xn3は入力電圧Vinが(k×Vf)よりも低いときには非常に高低的であり、実質的にオープンに近い状態になることがある。このような状況下で、もしnMOSFETQrn3が無ければ、ノードAの電位Vaは、単純にダイオード列Xn3とnMOSFETQrn3が最近などに影響されるようになる。このような問題を避けるため、入力値圧Vinが(k×Vf)より低いときでもノードAにnMOSFETQrn3のオフ電流分の高流を流しておき、電位Vaが抵抗分割で決まるようにする。なお、nMOSFETQrn3

は、nMOSFETQn3に比べてチャネル幅が1/10以下程度で済むため、オフ電流もnMOSFETQn3の1/10以下程度となり、チップ全体の消費電力に影響を及ぼすことがない。

[0089] 図15に示すように、nMOSFETQrn4のゲート (G)、ソース (S)、 基板 (B) は同電位であり、nMOSFETQrn3の基板 (B) はソース (S) に対して並ペイアスをれている (ソースよりも基板の電位が低い)。よって、nMOSFETQrn3のしきい値和圧VthはnMOSFETQrn4の大フに行いたり、nMOSFETQrn3のオフ框点はいMOSFETQrn4のオフ框点はりも1~2桁大きくなる。このため、ノードAの電位Vaは、ほぼ後地電位GNDに等しくなる。

[0090] - 方、入力値圧Vinが(k×Vf)より も高くなると、ノードAの電低Valt、ダイオード列X n3の低力向低抗とnMOSFETQrn4のオフ低抗 で入力値圧Vinを分圧した値となり、図ちに示したように入力値圧Vinとともに増加する。このとき、ダイ オード列Xn3、nMOSFETQn3、及びnMOS FETQrn3にそれぞれ離れる電流の領予を図17に 示す。なお、図17はダイオード列Xn1のダイオード 数xがk=4 (収線)、k=6 (点線)のときの様子を それぞれ示している。

【0091】本実施形態では、入力治圧ショル治療治 圧Vddを込えたとき、保護用のnMOSFETQn3 のゲートにしまい航池圧Vtb以上の治圧が得加されて オンするように、ダイオード列×n3のダイオード数 k、及びnMOSFETQrn4のオフ抵抗酸(しきい 減池圧)をそれぞれ設定する。

【0092】このように敬定することで、図15に示した静心保護回路は、入力心EVinが通常句匠(05VinSvad)のときは保護用のnMOSFETQn3がオフ状値を維やし、入力句EVinが異常街匠(VinSv4dd)のときは保護用のnMOSFETQn3がオン状値となる。nMOSFETQn3がオン状値になると、チャネル電流が流れ、インパットイオン化が促進されるために基板電流が流れ、インパットオップパックのトリガー流圧、1が図6に示したように低下する(VinMoseに示したように低下する(VinMoseに示したように低下する(VinMoseに示したように低下する(VinMoseに示したように低下する(VinMoseに示したように低下する(VinMoseに示したように低下する(VinMoseに示したように低下する(VinMoseに示したように低いません。

[0093] したがって、第1の契縮の形態を同様に、 ガイオード列×n3の函数 kあるいはnMOSFETQ rn4のオフ版内版(しきい原内形) を調整すること で、トリガー向圧v11を所望の和圧(仮内圧)に設定 することができるため、総線破壊動圧が低い内部回路器 子の破壊を防止することができる。

【0094】一方、図16に示した砂電保拠回路は、電筋く d が明放された状態では図15に示した砂電保護 圏外と同様に動作する。また、接地電仿GNDが開放さ れた状態では、入力端子1Nに電源Vdd以上の正位圧 $\widehat{\Xi}$

特開平13-358297

から電路Vddに電流が流れ、入力端子INに入力され (D) と基板 (B) 同のpn接合を通して入力端子 IN が印加されると、pMOSFETQp3のドレイン る正の過程圧がクランプされる。 [0095] さらに、図15に示した静電保護回路と同 SFETQrp4のオフ抵抗値 (しきい値電圧) をそれ くり)のときは保護用のpMOSFETQp3がオン状 ン化が促進されるために基板和流が相加し、スナップバ 頃にして、入力電圧Vinが接地間位GND以下になっ たとき、保護用のpMOSFETQp3がオンするよう に、ダイオード列Xp3のダイオード数k、及びpMO ぞれ設定すれば、入力電圧・1 nが通常電圧(0 ≤ Vi n ≦Vdd)のときは保護用めpNIOSFETQp3が オフ状値を維持し、入力電圧Vinが異常池圧(Vin 随とたる。したがって、図15に示したnMOSFET On3と回数に、チャギル的流が流れ、インパクトイオ ックのトリガー電圧V 1.1が低下する。

第1の実施の形態と同様に、nMOSFETQn3の名 生パイポーラトランジスタのトリガー電圧Vt1だけで なく、pMOSFETQp3の客生パイポーラトランジ スタのトリガー電圧V 1.1も低下させることもできるた め、電源Vdd、接地電位GNDいずれが開放された場 合でも、入力端子INに印加される正角それぞれの過程 [0096] よって、図16に示した砂례保護回路は、 圧をクランフすることができる。

[0097] ところで、入力電圧Vinが通常電圧 (0 ≦Vin≦Vdd) のときに、nMOSFETQn3末 たはpMOSドETQp3を確実にオフ状値で維持させ MOSFETQrn4のオフ核抗菌、あるいはpMOS FETQrp3のオブ板杭値とpMOSFETQrp4 るためには、nMOSFETQrn3のオフ抵抗値とn のオフ低杭低に差を設ければよい。

[0098] オフ抵抗値に意を設ける構成としては、例 えば、nMOSFETQrn3のゲート股をnMOSF ETQrn4のゲート長よりも及めに設定する力法があ る。 短チャネル領域ではゲート及をの、1ヵm及くずれ ば、しきい値電圧びしわは、例えば、約0.1V高くな るためオフ抵抗償は約1桁大きくなる。

して、図18に示すようにnMOSFETQrn3のゲ が、より強くオフする方向に動作するため、nMOSF 【0099】また、オブ抵抗値に避を散ける他の構成と ETQrn3及びpMOSFETQrp3のオフ抵抗値 を、nMOSFETQrn4及びpMOSFETQrp (G)を電牒Vddと接続した構成もある。この場合、 nMOSFETQrn3及びpMOSFETQrp3 一ト (G) を接地電位GNDと接続した構成、または、 図19に示すようにpMOSFETQrp3のゲート 4のオフ抵抗値よりも大きくすることができる。

[0100] なお、図14、図16及の図19に示した 静電保護回路では、nMOSFETOn3とpMOSF

ETQrp3)、及び抵抗器Rp4 (またはpMOSF. ETQp 3とをそれぞれ有する構成を示しているが、p ゲイオード列Xp3、低抗器Rp3(またはpMOSF ETQrp4) のみを有する構成であってもよい。この ような構成であっても、pMOSFETQp3の寄生パ MOSFETQp3と、そのゲート(G)に接続される イポーラトランジスタのトリガー衛圧V 1.1を低下させ ることができるため、接地電位GND開放時、入力端子 INに印加される負の過程圧をクランプすることができ

[0101] 次に、本実施形態の訃電保護回路の製造方 法について図面を用いて説明する。

2 1 は図 1 6 に示した静電保護回路がシリコン基板に形 FETQrp4のみの構造を示している。nMOSFE 3、及びnMOSFETQrn4の構造は図20と同様 リコン基板に形成された様子を示す。関係面図であり、図 成された様子を示す即断面図である。 なお、図2.0はダ オード2個)、pMOSFETQrp3、及びpMOS TQn3、ダイオード列Xn3、nMOSFETQrn [0102] 図20は図15に示した静電保護回路がシ ち、pMOSFETQp3、ゲイオード列Xp3(ダイ イオード列×n3として2個のダイオードを示してい る。また、図21は関16に示した静電保護回路のう であるため、その説明は省略する。

回路は、まず、p型基板1中に、各素子を分離するため 5×1012cm-2の条件でボロンを連続注入し、pウエ [0103] 図20において、図15に示した砂亀保護 フォトレジストをマスクとして川いて、nMOSFET の形成領域に、例えば、300keVで2×10^{13cm} -2, 200keVで4×10¹²cm-2, 30keVで の第子分離酸化膜2を400mm程度の深さで形成し、 ル3を形成する。

[0104] 続いて、フォトレジストをマスクとして用 例えば、700keVで2×10¹³cm⁻²、500ke Vで4×1012cm-2の条件でリンを注入し、さらに、 1 0 0 k e V で 5 × 1 0 l 2 c m - 2の条件でヒ茶を注入し ハ、ダイオード列Xn3の各ダイオードの形成領域に、 てnウエル4を形成する。

[0105] 次に、p型搭板1上に厚さ3.5nm程度 のゲート酸化慎を形成し、その上に、例えば、厚さ15 Onm、幅O. 18 mmの多結晶シリコンから成るゲー ト電極5を形成する。

MOSFETの形成領域にヒ素を注入し、ソース、ドレ い、例えば、10keVで3×10^{l-1}cm⁻²の条件でn 配掻5の側壁に幅100nm程度の酸化機から成るサイ [0106] 続いて、ゲート電極5をマスクとして用 インとなるn-拡散層 (不図示) を形成した後、ゲート ドウォール(不図示)を形成する。

[0107] 次に、フォトレジスト、ゲート追極5、及 びサイドウォールをそれぞれマスクとして用い、例え

ば、50keVで3×10^{15cm-2}の条件で、nMOS MOSFETQrn30KV4×(D), 16HnMO FETの形成領域及びダイオードの形成領域にそれぞれ する。ここで、6はダイオード列Xn3を構成する各ダ イオードのカソード、7はnMOSFETQrn4のド 10thnMOSFETQn30V-7 (S), 15th ヒ薪を注入してn+拡散励6~10、15、16を形成 レイン (D)、8はnMOSFETQrn4のソース (S), 9thnMOSFETQn30FV47 (D) SFETQrn307-7 (S) 245.

(B) に配線を行うためのpウエルコンタクト、17は 3、17を形成する。ここで、11はダイオード列Xn 3を結成する各ダイオードのアノード、12はnMOS い、例えば、30keVで3×10¹⁵cm⁻²の糸件でダ イオードの形成領域及びnMOSFETの形成領域に2 FETQrn4の基板(B)に配線を行うためのロウエ [0108] 次に、フォトレジストをマスクとして用 フッ化ボロン (BF2) を注入してp+拡散層11~1 ルコンタクト、13はnMOSFETQn3の基板

nMOSFETQrn3の基板 (B) に配線を行うため を形成し、閼問絶縁膜 (不図示)を形成した後、各コパ に、例えば、厚さ30nmのコバルトシリサイド船14 [0109] 最後に、ゲート記帳5、n+拡散图6~1 0、15、16、p+位股局11~13、17の投面 ルトシリサイド層 1 4.上に配線を行う。 のpウエルコンタクトとなる。

[0110] 図21において、図16に示した静電保護 回路は、まず、 p 型悲板 1 中に、各茶子を分離するため てnウエル24、23を形成する (図20に示したnウ 例えば、700keVで2×10¹³cm⁻²、500ke 100keVで5×1012cm-2の条件でヒ素を注入し フォトレジストをマスクとして川いて、ダイオード列X Vで4×1012cm-2の条件でリンを注入し、さらに、 の素子分離酸化漿2を400nm程度の深さで形成し、 p 3の各ダイオード及びpMOSFETの形成領域に、 エル4と同時に形成される)。

[0111] 次に、p型基板1.上に厚き3.5nm程度 のゲート酸化酸を形成し、その上に、例えば、厚さ15 OnE、幅O. 18 / Eの多結語シリコンから訳るゲー ト電極5を形成する。

示)を形成した後、ゲート指揮5の側壁に幅100nm 程度の酸化膜から成るサイドウォール (不図示) を形成 い、例えば、10keVで3×10ldcm-2の条件でp MOSFETの形成領域に2フッ化ボロン (BF2)を [0112] 続いて、ゲート電極5をマスクとして川 注入して、ソース、ドレインとなるp-拡散層 (不図

[0113] 次に、フォトレジスト、ゲート電衝5、及 ば、50keVで3×10^{15cm-2}の条件で、pMOS びサイドウォールをそれぞれマスクとして用い、例え

Qrp3の基板 (B) に配線を行うためのnウエルコン FETの形成領域、及びダイオードの形成関域にそれぞ れる)。ここで、31はゲイオード列Xp3を構成する ト、33はpMOSFETQp3の場板(B)に配線を 行うためのnウエルコンタクト、37はpMOSFET 各ダイオードのカソード、32はpMOSFETQrp る (図20に示したn+拡散图6~10と同時に形成さ **たと紫を注入してn+垃散船31~33、37を形成す** 4 の基板 (B) に配線を行うためのnウエルコンタク タクトとなる..

3のドレイン (D)、36はpMOSFETQrp3の 71tpMOSFETQrp40FV42 (D), 28tt PMOSFETQrp407-7 (S), 2911pMO SFETQp30FV17 (D), 30HpMOSFE オード列Xp3を構成する各ダイオードのアノード、2 TQp307-7 (S), 351tpMOSFETQrp い、例えば、30keVで3×10^{l5cm-2}の条件でダ イオードの形成領域及び PMOSFETの形成領域に2 0、35、36を形成する (図20に示したp+拡散隔 11~13と同時に形成される)。ここで、26はダイ [0114] 次に、フォトレジストをマスクとして用 フッ化ポロン (BF2)を注入してp+拡散隔26~3 ソース (S) となる。

を形成し、層間絶縁戦 (不図示)を形成した後、各コパ に、例えば、厚さ30nmのコパルトシリサイド頤 14 [0115] 収後に、ゲート電極5、p+拡散限26~ 30、35、36、n+拡散局31~33、37の投順 ルトシリサイド層14上に配線を行う。

SFETQn3, Qrn3, Qrn4, & SvytpMO SFETQp3、Qrp3、Qrp4と共通の工程で形 【0116】このような構造を有することで、ダイオー F列Xn3、Xp3を構成する各ダイオードを、nMO 成することができるため、従来の構造増に比べて工程を 帕やずことなく本発明の静電保護回路を形成することが [0117] (第4の実施の形態) 図22は本発明の静 り、図23は木発明の静電保護回路の第4の実施の形態 電保護回路の第4の実施の形値の構成を示す回路图であ の他の構成を示す回路図である。

Dと接続されたnMOSFETQn4と、nMOSFE TQn4の基板(B)と入力端子IN間に順方向に直列 接続された少なくとも1つのダイオードから成るダイオ ード列Xn4と、nMOSFETQn4の装板(B)と [0118] 図22に示すように、本実歯形態の静穏保 ソース (S) 及びゲート (G) がそれぞれ接地電位GN 入力端子INIIに接続された抵抗器Rn5と、nMOS FETQn4の基板(B)と接地電位GND間に接続さ 題回路は、ドレイン(D)が入力端子INと接続され、 れた抵抗器Rn6とを有する構成である。

[0119]また、図23に示した静電保護回路は、図

(D) が入力端子INと接続され、ソース(S)及びゲ ート(G)がそれぞれ礼取V d d と接続された p MOS (B) と電源V d d 間に接続された低抗器R p 6 とを有 FETQp4と、pMOSFETQp4の基板(B)と 入力端子 I N間に順方向に演列接続された少なくとも I つのダイオードからなるダイオード列X p 4 と、p MO SFETQp4の基板(B)と入り端子IN間に接続さ 2.2 に示した静む保護回路の構成に加えて、ドレイン れた低抗器Rp5と、pMOSFITQp4の基板

[0120] 図24は図22に示した静低保護回路の実 始例を示す回路図であり、図25は図23に示した静電 **呆磋回路の実施例を示す回路図である。**

する構成である。

[0121] 図24に示すように、図22に示した静電 保護回路の抵抗器Rn5はnMOSFETQrn5を削 (B) は僚地社位GNDと楼梲される。また、nMOS FETQrn60/FV42 (D) NtnMOSFETQn (S) 及び基板 (B) はそれぞれ接地電位GNDと接続 いて構成することが可能であり、抵抗器RnfはnMO Nと接続され、ゲート (G) 及びソース (S) はそれぞ tinMOSFETQn4の基板(B)と接続され、基板 n MOSFETQrn5のドレイン (D) は入力端子 I SFETQrn6を用いて構成することが可能である。 4 の基板 (B) と接続され、ゲート (G)、ソース

[0122] また、例25に示すように、図23に示し た節項保護回路の抵抗器 R p 5 は p M O S F E T Q r p 5を用いて構成することが可能であり、抵抗器Rp6は p MOSFETQrp6を用いて構成することが可能で ある。pMOSFETQrp5のドレイン (D) は人力 路子INと接続され、ゲート (G) 及びソース (S) は れ、基板 (B) は低敵V d d と接続される。また、p M もnMOSFETQrn4を用いて構成することが可能 であり、殴25に示す抵抗器Rn5もnMOSFETQ OSFETQrp6@FV4ン (D) はpMOSFET Q p 4 の基板 (B) と接続され、ゲート (G)、ソース (S)及び基板(B)はそれぞれ電源Vddと接続され 5, なお、陽24と同故に、図25に示す抵抗器Rn4 それぞれpMOSFETQp4の基板(B)と接続さ rn5を用いて構成することが可能である。

【0123】このような構成において、次に本実施形態 の静電保護回路の動作について図24及び図25に示し た回路を倒にして説明する。

6 は、第3の実施の形態のダイオード列X n 3及びnM の電位Vaは、入力電圧Vinがダイオード列Xn4の [0124] 図24に示すように、本実施形態の静電保 張回路のゲイオード列Xn4及びnMOSFETQrn OSドじTQrn4と同様の構成であるため、ノードA ダイホード数kと順方向電圧V「の積(k×V「)より も低いときは接地電圧GNDとほぼ等しく、入力電圧V

inが(k×V l)よりも高くなると入力電圧Vinに

の基板 (B) とソース (S) のp n接合に順方向電流が [0125] 本実施形態では、入力亀圧V;nが電源電 EVddを越えたとき、保護用のnMOSFETQn4 及びnMOSFETQrn6のオフ抵抗値 (しきい値電 流れるように、ダイオード列Xn4のダイオード数k、 圧)をそれぞれ設定する。

基板 (B) とソース (S) のpn接合に順方向電流が流 た静電保護回路は、入力電圧Vinが通常電圧 (0≤V n>Vdd)のときは保護用のnMOSFETQn4の れるようになる。この順方向電流によって、スナップパ 【0126】このように設定することで、図24に示し in≦Vdd)のときは保護用のnMOSFETQn4 バオフ状態を維持し、入力程圧Vinが異常電圧 (Vi ックのトリガー電圧V t 1 が低下する。

[0127] 一方、図25に示した静電保護回路は、電 願Vddが開放された状態では、図24に示した静電保 護回路と同様に動作する。また、接地電位GNDが開放 された状態では、図24に示した静電保護回路と同様に して、入力電圧Vinが接地電位GND以下になったと き保護用のpMOSFETQp4の基板(B)とソース Qrp6のオフ抵抗値 (しきい値電圧)をそれぞれ設定 (S) Mのp n 接合に頼方向電流が流れるように、ダイ オード列Xp4のダイオード数k、及びpMOSFET

p.MOSFETQp 4がオフ状態を推掛し、人力電圧V inが異常電圧(Vinく0)のときは保護用のp.MO SFETQp 4 の基板 (B) とソース (S) のp n 接合 に順方向電流が流れるようになる。この順方向電流によ [0128] このように散定することで、入力電圧Vi nが通常電圧(0≦Vin≤Vdd)のときは保護用の って、スナップパックのトリガー電圧V t 1が低下す [0129] したがって、本実施形態の静和保護回路も 第3の実施の形態の静電保護回路と同様の効果を得るこ とができる。 [0130]ところで、第3の実施の形態と同様に、入 を確実にオフ状態で維持させるためには、nMOSFE フ抵抗値、あるいはpMOSFETQrp5のオフ抵抗 **力也圧∨inが通常電圧 (0≦Vin≤Vdd) のとき 低とpMOSFETQrp6のオフ抵抗値に差を設けれ** に、nMOSFETQn4またはpMOSFETQp4 TQrn5ツオフ抵抗値とnMOSFETQrn6ツオ

【0131】オフ抵抗値に遊を設ける構成としては、例 えば、nMOSFETQrn5のゲート長をnMOSF ETQrn6のゲート長よりも長めに設定する構成があ [0132]また、オフ抵抗値に競を設ける他の構成と

が、より強くオフする方向に動作するため、nMOSF ETQrn5及びpMOSFETQrp5のオフ抵抗鎖 老、nMOSFETQrn6及UpMOSFETQrp して、図25に示すようにnMOSFETQrn5のガ 一ト(G)を接地電位GNDと接続した構成、または、 (G)を電源Vddと接続した構成もある。この場合、 図26に示すようにpMOSFETQrp5のゲート n MOSFETQrn 5 & Up MOSFETQrp 5 6 のオフ抵抗値よりも大きくすることができる。

[0133] なお、図23、図25及び図27に示した 静札保護回路では、nMOSFET'Qn4とpMOSF ETQp4とをそれぞれ有する構成を示しているが、p MOSFETQp4と、その基板(B)に接続されるグ イオード列Xp4、低抗器Rp5(またはpMOSFE TQrp5)、及び抵抗器Rp6(またはpMOSFE ボーラトランジスタのトリガー電圧Vt1 を低下させる TQrp6)のみを有する構成であってもよい。このよ うな構成であっても、pMOSFETQp4の寄生パイ ことができるため、接地電位GND開放時、入力端子I Nに印加される負の過電圧をクランプすることができ

除けば、図20及び図21に示した第3の実施の形態の [0135] 上配第1の実施の形態~第4の実施の形態 静電保護回路を備えた構成を示したが、内部回路祭子の その場合も上記と同様に出力端子に印加される正または は、配線、及びnMOSFETの基板をバイアスするた めにpウエルを囲むディーブnウエルが必要になる点を では、保護対象である内部回路素子の入力端子IN朗に 角の過れ圧をクランプすることができるため、内部回路 静電保護回路と同様であるため、その説明は省略する。 出力端子側に同様構成の静電保護回路を設けてもよい。 【0134】また、本実施形態の静電保護回路の構造 紫子の破壊を防止することができる。

【発明の効果】本発明は以上説明したように構成されて いるので、以下に記載する効果を接する。 [0136]

Tの基板電流が増加して、スナップパックのトリガー電 圧を下げることができる。したがって、保護用nMOS 能になり、保護用pMOSFETにより、接地電位GN に、保護用nMOSFET、または保護用pMOSFE FETにより、電源Vdd開放時、入/出力端子に印加 される正の過電圧を所望の電圧にクランプすることが可 D開放時、入/川力端子に印加される負の過程圧をを所 [0137] 人/出力端子に印加される和圧が消凝電圧 を越える、あるいは接地電位以下になるなど異常な時 **蛪の電圧にクランブすることが可能になる。**

【図面の簡単な説明】

【図1】 本発明の静電保護回路の第1の実施の形態の構 成を示す回路図である。 【図2】本発明の静電保護回路の第1の実施の形態の他

特開平13-358297

(91)

||図3||図1に示した静電保護回路の実施例の構成を示

[図4] 図2に示した静電保護回路の実施例の間成を示 |・回路図である。 [図5] 入力電圧Vinに対するノードAの電圧Vaの 【図6】本発明の静電保護回路の効果を示す図であり、 関係を示すグラフである。

入力性圧Vinに対する保護川のMOSFETに流れる 電流の関係を示すグラフである。

【図7】図3に示した静電保護回路がシリコン基板に形 【図8】図4に示した静電保護回路がシリコン基板に形 成された様子を示す側断面図である。

[図9] 本発明の静電保護回路の第2の実施の形態の協 成された様子を示す側折面図である。

[図10] 本発明の静循保護回路の第2の実施の形態の 也の構成を示す回路図である。 成を示す回路図である。

【図11】図9に示した静街保護回路の実施例の構成を

【図12】図10に示した静電保護回路の実施例の構成 を示す回路図である。 示す回路図である。

[図13] 木発明の静電保護回路の第3の実施の形態の 背成を示す回路図である。

[図14] 本発明の静乱保護回路の第3の実施の形態の 也の構成を示す回路図である。

【図15】図13に示した静電保護回路の実施例の構成 を示す回路図である。

【図16】図14に示した静電保護回路の実施例の構成 を示す回路図である。

【図17】図15に示した静電保拠回路の入力電圧Vi nに対する関係に流れる電流の関係を示すプラフであ [図18] 図13に示した静電保護回路の他の実施例の 構成を示す回路図である。

[図19] 図14に示した静電保製回路の他の実施例の 背成を示す回路図である。 【図20】図15に示した静電保護回路がシリコン基板 【図21】図16に示した砂電保護回路がシリコン装板 に形成された様子を示す側所面図である。

[図22] 本発明の静化保護回路の第4の実施の形態の に形成された様子を示す側断面関である。

[図23] 本発明の静電保護回路の第4の実施の形態の 構成を示す回路図である。

[図24] 図22に示した静電保護回路の実施例の構成 也の精成を示す回路図である。 を示す回路図である。

[図25] 図23に示した静電保護回路の実施例の構成 を示す回路図である。 [図26] 図22に示した静電保護回路の他の実施例の

